

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

4876434

Basic Patent (No,Kind,Date): JP 59214075 A2 841203 <No. of Patents: 001>

IC SUBSTRATE FOR ACTIVE PANEL (English)

Patent Assignee: SUWA SEIKOSHA KK

Author (Inventor): OZAKI NOZOMI

IPC: \*G09F-009/35; G02F-001/133; G09F-009/00

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 59214075</b>	A2	841203	JP 8388154	A	830519	(BASIC)

Priority Data (No,Kind,Date):

JP 8388154 A 830519

Japanese Patent Laid-Open No. 59-214075

Abstract

An active matrix panel is disclosed. The active matrix panel displays an image by controlling a signal applied to a liquid crystal pixel electrode by an electric circuit formed on a semiconductor substrate. A pixel circuit corresponding to an entire screen or a part thereof is formed in an under part of the screen. A peripheral control circuit and a signal line are formed in the under part of the screen other than an area of the pixel circuit.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—214075

⑪ Int. Cl.<sup>3</sup>

G 09 F 9/35  
G 02 F 1/133  
G 09 F 9/00

識別記号

庁内整理番号  
6615—5C  
7348—2H  
K 6731—5C

⑬ 公開 昭和59年(1984)12月3日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ アクティブパネル用集積回路基板

⑯ 特 願 昭58—88154

⑰ 出 願 昭58(1983)5月19日

⑱ 発 明 者 尾崎望

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

発明の名称

アクティブパネル用集積回路基板

特許請求の範囲

半導体基板上に形成された電気回路により画素電極へ印加される信号を制御し液晶を表示させるアクティブパネルにおいて、

該パネルの画面全体又はその一部分の画素に対応した画素回路を画面下部の特定の領域に集約して形成し、該集約化された画素回路の形成された領域以外の画面下部の領域に、周辺制御回路及び信号線等の形成されたことを特徴とするアクティブパネル用集積回路基板。

発明の詳細な説明

本発明は、半導体基板を用いたアクティブパネルの設計方法に関するものである。

非発光性表示体である液晶パネルは、低電圧駆

動可能である、低消費電力である等の特長を生かし、腕時計、計算機、測定器等の小型携帯用機器に幅広く用いられて来ている。これらの液晶パネルは、従来数字表示のみを行なうセグメント表示のパネルが簡単であることもあって広く用いられているが、もっと表示形態が自由であり、表示容量が大きく、高品質の表示ができるパネルが望まれ、小さな表示単位(画素)を縦横にアレイ状に並べたドットマトリックスパネルが注目されている。

しかしながら、このドットマトリックスパネルを、従来のセグメント表示のパネルと同様に直交した透明電極の形成された2枚のガラス基板間に液晶を封入し、これらの直交電極間に複雑な信号を印加して表示させるマルチプレックス駆動方式で実現することは、画素の高密度化が難しく、画素数の増大を計れない等の問題があり、より高品質の表示体を目的とし、半導体基板(又はガラス基板)上にスイッチング素子あるいは電気回路を形成し、各画素の液晶駆動用電極に印加される信

(1)

(2)

号を制御し表示を行なうアクティブパネルが実現された。

画素をアレイ状に並べたドットマトリックスパネルでは、その表示目的によって、中間調表示も実現できるテレビ用のパネルと、白、黒の2値表示による文字・図形等の表示を目的としたパネルに大きく分けられ、その回路構成、要求される液晶の特性も異なっている。

第1図(1)、(2)にはアクティブパネルの画素の回路の例を掲げた。同図(1)は中間調表示も可能なテレビ用の表示パネルの画素の回路図である。1が1個の画素に含まれる画素回路であり、表示画像データ2は画素選択信号3によりNチャンネル電界効果トランジスタ4をON状態にし、信号保持用コンデンサ5に書き込まれる。これは各画素の上部に形成された画素電極6につながれ、上ガラス基板上に形成された透明電極7との間に封入された液晶8に電界を印加して、信号保持用コンデンサ5に保持された電圧に対応した階調を持つ表示を行なう。

(3)

、これらを矢印26、27、28、29に示すように縦横に繰り返す(リピータする)ことにより、画面の全画素のマスクパターンを作る方法が取られる。この設計方法では、1個の画素のマスクパターンのみを設計すれば、後はCAD上の簡単な操作で全画面の設計が完了する。

表示の単位となる画素の大きさは、主にそのパネルの表示目的によって決められるものであり、第1図に示したような画素回路を作り込むには、面積的にかなりの余裕があることが多い。したがって通常は現在の集積回路技術で実現可能な寸法によるデザインルールよりかなり緩いデザインルールのもとで設計され、パネルの製造を容易にし、欠陥による歩留りの低下を招かないように配慮されている。しかしながら、このようなデザインルールを使用してもなおかつ画素内のかなりの面積が使用されていない状態であることが多く、仮にこれらの余分の部分に素子・配線を不必要に分散化させて設計したとしても歩留りの向上は望めない。

(5)

第1図(2)は、白、黒の2値表示を行ない、表示データをスタティックに保持することのできる記憶型アクティブパネルの画素の回路例である。9が1個の画素に含まれる画素回路であり、表示画像データ10(DATA)及び11(DATA)は、画素選択信号12によりNチャンネル電界効果トランジスタ13、14をON状態にし、2つのインバータ15、16によって構成されるメモリーセルへ書き込まれる。このメモリーセルのデータ17、18を使用し、低周波数の液晶駆動信号19の入力されるクロックドインバータ20、21を開閉し、画素電極22に印加される液晶駆動信号の位相を変化させる。上ガラス基板の透明電極23には、19と同じ低周波数の液晶駆動信号が入力され、24はこれらの間に封入された液晶である。

さて、通常これらの画素を1つの表示単位とするアクティブパネルを設計するには、第2図に示すように1個の画素25の占める領域内に、第1図(1)、(2)のような回路のマスクパターンを設計し

(4)

第3図には、上述したように画面部分を1個の画素のマスクパターンの繰り返しにより設計した場合におけるアクティブパネル全体の構成を示した。30が第1図(1)、(2)に示したような画素回路及び周辺制御回路の作り込まれる半導体基板である。画素回路の作り込まれた画素31は、縦横に並べられ画面32を構成し、この部分には液晶層が乗せられ、シール剤33でその流出が防止される。一点鎖線34は透明電極の形成された上ガラス基板を示す。

このようなドットマトリックスパネルでは、第1図(1)、(2)の回路に入力される表示画像データ信号、画素選択信号、液晶駆動信号は画面を縦横に走り、これらの入力信号の外部との結線数を減らすには、画面周囲にデータの信号制御回路(シフトレジスタ等)、画素選択信号のデコーダ回路等を作り込むことが必要である。第2図の設計方法では、画面部分は画素回路が形成されており、これより外側に周辺回路を形成する必要があるが、画面のすぐ隣りからシール剤33の下部にかけて

(6)

これらの回路を形成することは、パネル組み立て時の基板への圧力等による不良を招くおそれがあり、好ましくない。したがって第3図に示すように適当な余裕を持ってシール剤の外側の画面の周囲に周辺回路35, 36, 37, 38が設計される。39, 40, 41, 42は信号の入力端子であり、矢印43等は信号線を示す。

しかしながらこのようにシール剤の外側に周辺回路を作り込む設計方法では、画面の端44と半導体基板の端45との間の距離46が増し、延いては半導体チップ全体の大きさの増大を招き、1枚のウェハーからの取れ数が減り、歩留りも低下する。また小型携帯用の機器においては、このような不要な外周部は機器本体の設計上・デザイン上好ましくない。

本発明は、画面部分の画素回路を集約して設計し、画面下部に周辺制御回路をも作り込むことで、画面周辺の寸法の縮小化を計り、パネル全体を小型化することのできるアクティブパネルの設計方法を提供しようとするものである。

(7)

をパネルの一辺に集中化して形成することができ、実装を容易とする。

この例ではマスクパターンの設計は画素数の少ない場合には簡単に行なえるが、画素数が増えると画素回路から画面全域への信号の配線数が増え、その長さも長くなる為、このような場合には適していない。また、周辺制御回路の素子の形成された領域と画素回路から画素電極への配線領域が重なる為、配線の多層化が必要である。

このように画素回路を画面中央部に集約し、空白となった画面下部に周辺制御回路を作り込んでしまうことで、第3図のようにシールの外側に回路を形成する必要がなくなるため、画面の端と半導体基板の端の間の距離61は最少の寸法で設計することができ、シール剤33の外側には信号の入力端子60を形成する領域のみが残り、パネル全体の小型化が実現できる。

第5図には本発明の構成によるアクティブパネルの第2の例を掲げた。上述したように画素回路の全体を相似的に縮少し画面中央部に画素回路を

(8)

第4図には本発明によるアクティブパネルの構成の1例を示した。第3図と同様に30は半導体基板、33は液晶の流出を防ぐ為のシール剤であり、34は上ガラス基板である。47は液晶駆動用の画素電極であり、48は画素電極の信号を作る画素回路である。第4図に示した例では各画素回路は対応した画素電極の下部に作り込まれるのではなく、画面中央部に表示体の画面における画素電極の並び方とはほぼ相似形に、画素回路が集約して形成される。各画素電極における信号は、この集約化された画素回路から矢印49, 50等のように表示体の画面全域の画素電極へ導かれる。第3図で述べた周辺制御回路は、集約されることによってできた画面の余白部に作り込まれる(51, 52, 53, 54)。55等は周辺制御回路から画素回路への信号である。このように画面中央部に画素回路へ集約することにより、かなりの余白部ができるため、各周辺制御回路への入力信号(56, 57, 58, 59)は、パネルの一方へ導びくことができ信号の入力端子60

(9)

作る第4図の構成例は、画素数の増大に伴ない配線数が増え設計が困難となって来る。第5図に示した例では、画面の中央部の画素は従来通り各画素電極の下部に画素回路を作り、画面の周辺部の画素回路のみを集約し、その余白部に周辺制御回路が作り込まれる。

第3図と同様に30は半導体基板、33は液晶の流出を防ぐ為のシール剤であり、34は上ガラス基板である。

画面中央部の長方形の領域ABOD内の画素62は、第3図と同様に画素電極下部に画素回路が1対1に対応して作り込まれている。画面の周囲4方向の画素電極に対応した画素回路は、上記の中央部の領域ABODに近接して4つの領域(63, 64, 65, 66)に集約されて作り込まれており、この画面の周囲の画素電極67へ信号68, 69等が接続される。70, 71等は、集約化された画素回路から通常の画素回路への信号であり、表示画像データ信号、画素選択信号、液晶駆動信号等は、画面における各行・列の関係を

(10)

保ち配線される。72, 73, 74, 75は周辺制御回路であり、76, 77, 78は周辺制御回路への入力信号である。この例でも信号の入力端子79をパネルの1方向に集中化することができ、画面端と半導体基板の端の間の距離を縮小することができる。

画面周囲の集約される画素の領域の大きさは、作り込むべき周辺制御回路の規模、配線数を考慮して決定され、このような構成によれば第4図の例に比べ画素回路から画素電極への信号数が大幅に減り、その長さも短くなる為、特に大型のパネルの設計に適している。

第6図には本発明の構成によるアクティブパネルの第3の例を掲げた。この例では画面は複数個のブロック(図では6ブロック)に分け、各ブロック内で第4図と同様に画素回路を集約して、その中央部に形成したものである。

第3図と同様に30は半導体基板、33は液晶の流出を防ぐ為のシール剤であり、34は上ガラス基板である。

00

増大、半導体チップの大きさの増大を招いていた不都合を除くことが可能であり、製造コストの低減、パネルの実装の簡略化、デザインの向上に寄与する。

#### 図面の簡単な説明

第1図(1),(2)は、アクティブパネルの画素の回路の例である。

第2図は、アクティブパネルの通常的设计方法を説明する為の図である。

第3図は、第2図のような方法により設計された画面を持つアクティブパネル全体の構成例を示した。

第4図から第6図までは、本発明の集約された画素回路によって設計された画面を持つアクティブパネルの構成例である。

以 上

出願人 株式会社諏訪精工舎

代理人 弁理士 最上

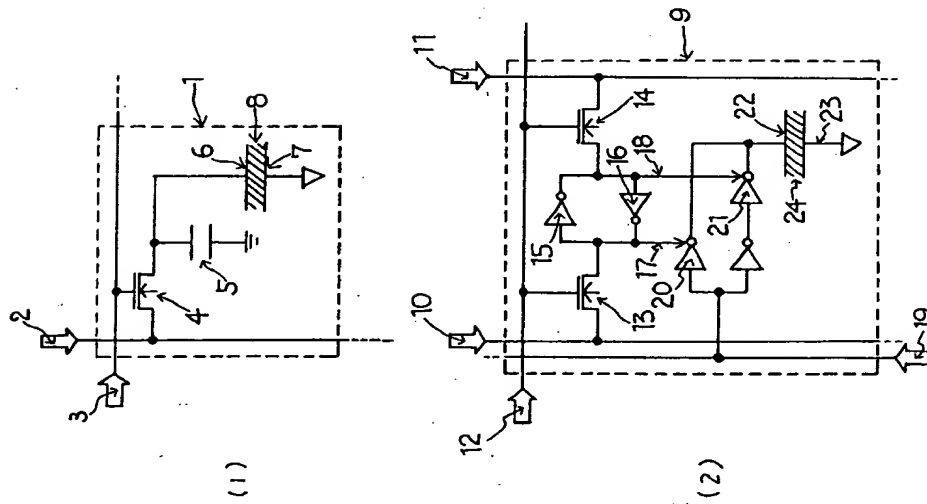
03

ブロックの中央部には集約された画素回路80が形成され、画素回路からそのブロック内の画素電極81へ信号82, 83等が送られる。各ブロックはこのような集約された画素回路(80, 84, 85)86, 87, 88)を持ち、画面周辺のブロックでは、その中に周辺制御回路89, 90等が作り込まれている。91, 92等は、集約された画素回路間の信号であり、93, 94等は周辺制御回路への入力信号である。第4図、第5図の例と同様に信号の入力端子95はパネルの1方向へ集中化することができ、画面端と半導体基板の端の間の距離を縮小化することができる。また、このような構成にすれば第4図における配線長の増大を防止することができる。

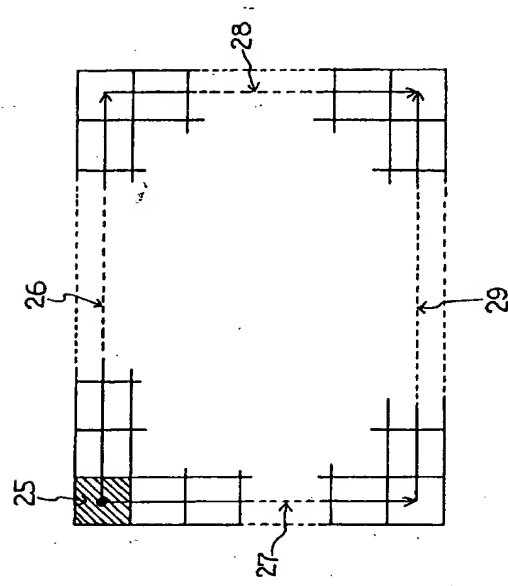
以上述べて来たように、本発明のように画面全体又はその一部分の画素回路を画素電極の位置とは関係なく集約化して構成し、画面下部に出来た空白部へ周辺制御回路を作り込んでしまうことにより、従来表示画面の外側に周辺制御回路を作り込み、その為に画面端と半導体基板の端の距離の

04

第 1 図

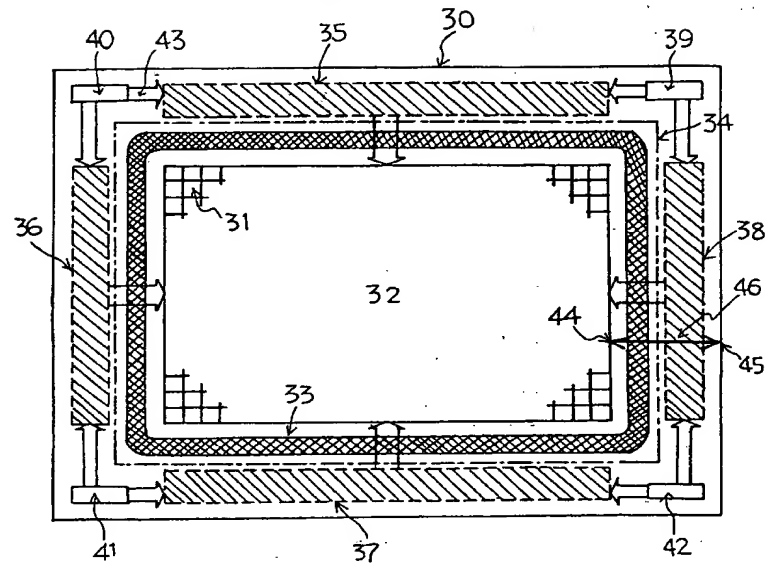


第 2 図

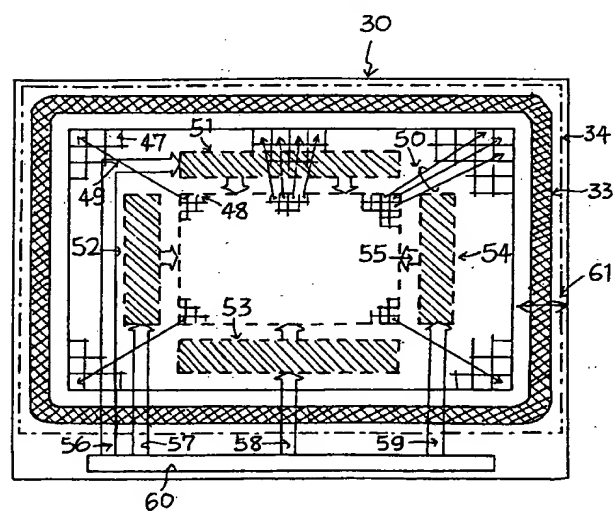




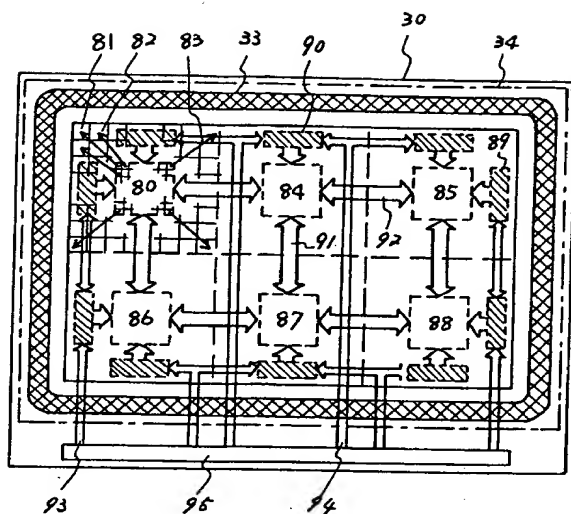
第 3 図



第 4 図



第 5 図



第 6 図

